



(12) 发明专利申请

(10) 申请公布号 CN 102709178 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210158843. 5

(22) 申请日 2012. 05. 22

(71) 申请人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 徐强

(74) 专利代理机构 上海新天专利代理有限公司
31213

代理人 王敏杰

(51) Int. Cl.

H01L 21/318(2006. 01)

H01L 21/8238(2006. 01)

权利要求书 1 页 说明书 2 页 附图 4 页

(54) 发明名称

一种形成双应力层氮化硅薄膜的方法

(57) 摘要

本发明公开了一种形成双应力层氮化硅薄膜的方法,其中,包括下列步骤:提供一种具有 NMOS 晶体管和 PMOS 晶体管的半导体衬底;在所述半导体衬底上沉积一层第一氮化硅层;在所述第一氮化硅层的表面沉积一层第二氮化硅层,所述第二氮化硅层为掺杂有杂质元素的氮化硅层,所述第一氮化硅层和所述第二氮化硅层组成高拉应力的氮化硅薄膜;蚀刻所述 PMOS 晶体管表面,去除所述 PMOS 管表面的第一氮化硅层和第二氮化硅层;对所述半导体衬底进行快速热退火工艺;对所述 NMOS 晶体管进行刻蚀,去除 NMOS 晶体管表面的第一氮化硅层和第二氮化硅层。本发明的目的是提供一种形成双应力层氮化硅薄膜的方法。该方法,优化了工艺,减小成本,同时能够改善器件性能。



1. 一种形成双应力层氮化硅薄膜的方法,其特征在于,包括下列步骤:
提供一种具有 NMOS 晶体管和 PMOS 晶体管的半导体衬底;
在所述半导体衬底上沉积一层第一氮化硅层;
在所述第一氮化硅层的表面沉积一层第二氮化硅层,所述第二氮化硅层为掺杂有杂质元素的氮化硅层,所述第一氮化硅层和所述第二氮化硅层组成高拉应力的氮化硅薄膜;
蚀刻所述 PMOS 晶体管表面,去除所述 PMOS 管表面的第一氮化硅层和第二氮化硅层;
对所述半导体衬底进行快速热退火工艺;
对所述 NMOS 晶体管进行刻蚀,去除 NMOS 晶体管表面的第一氮化硅层和第二氮化硅层。
2. 如权利要求 1 所述的形成双应力层氮化硅薄膜的方法,其特征在于,所述氮化硅薄膜的厚度为 100-800 Å。
3. 如权利要求 1 所述的形成双应力层氮化硅薄膜的方法,其特征在于,所述氮化硅薄膜的应力范围为 500-2000MPa。
4. 如权利要求 1 所述的形成双应力层氮化硅薄膜的方法,其特征在于,所述第二氮化硅层的厚度为 10-100 Å。
5. 如权利要求 1 所述的形成双应力层氮化硅薄膜的方法,其特征在于,所述第二氮化硅层中的掺杂的杂质元素为 F 元素、B 元素或 P 元素。

一种形成双应力层氮化硅薄膜的方法

技术领域

[0001] 本发明涉及微电子领域,尤其涉及一种形成双应力层氮化硅薄膜的方法。

背景技术

[0002] 随着集成电路特征线宽缩小到 90nm 以下,人们逐渐引入了高应力氮化硅技术来提高载流子的电迁移率。一种常用的方法就是应力记忆技术(Stress Memorization Technique, SMT)。实施该技术的常用方法是在 NMOS 上覆盖一层具有较高拉应力的氮化硅薄膜,随后对其进行快速热退火工艺(RTA),使应力“记忆”于 NMOS 的沟道中,从而提高 NMOS 的载流子迁移率。

[0003] 由于高拉应力氮化硅薄膜对 PMOS 的载流子迁移率有一定的阻碍作用,一般需要将覆盖于 PMOS 表面的高拉应力氮化硅薄膜去除,而为了能够去除的彻底,通常需要在沉积高拉应力氮化硅薄膜之前,预先沉积一层二氧化硅缓冲层。该层薄膜一般采用 PECVD 方法沉积,具有一定的压应力,范围在 100 — 300MPa 之间。虽然该二氧化硅缓冲层厚度较薄,应力也较低,但是由于其离栅极最近,对于应力记忆的效果也会产生一定的负面影响。

[0004] 因此,需要对该方法进行改善,尽可能的去除这该层薄膜对 NMOS 不利的影响。

发明内容

[0005] 针对上述存在的问题,本发明的目的是提供一种形成双应力层氮化硅薄膜的方法。该方法,优化了工艺,减小成本,同时能够改善器件性能。

[0006] 本发明的目的是通过下述技术方案实现的:

一种形成双应力层氮化硅薄膜的方法,其中,包括下列步骤:

提供一种具有 NMOS 晶体管和 PMOS 晶体管的半导体衬底;

在所述半导体衬底上沉积一层第一氮化硅层;

在所述第一氮化硅层的表面沉积一层第二氮化硅层,所述第二氮化硅层为掺杂有杂质元素的氮化硅层,所述第一氮化硅层和所述第二氮化硅层组成高拉应力的氮化硅薄膜;

蚀刻所述 PMOS 晶体管表面,去除所述 PMOS 管表面的第一氮化硅层和第二氮化硅层;

对所述半导体衬底进行快速热退火工艺;

对所述 NMOS 晶体管进行刻蚀,去除 NMOS 晶体管表面的第一氮化硅层和第二氮化硅层。

[0007] 上述的形成双应力层氮化硅薄膜的方法,其中,所述氮化硅薄膜的厚度为 100-800 Å。

[0008] 上述的形成双应力层氮化硅薄膜的方法,其中,所述氮化硅薄膜的应力范围为 500-2000MPa。

[0009] 上述的形成双应力层氮化硅薄膜的方法,其中,所述第二氮化硅层的厚度为 10-100 Å。

[0010] 上述的形成双应力层氮化硅薄膜的方法,其中,所述第二氮化硅层中的掺杂的杂质元素为 F 元素、B 元素或 P 元素。

[0011] 与已有技术相比,本发明的有益效果在于:

将高拉应力氮化硅薄膜的沉积分为两部分,其中第二部分在沉积过程中掺入一定的杂质,具有掺杂层的高应力氮化硅层可以替代二氧化硅缓冲层,从而不需要额外的沉积步骤,优化了工艺,减小成本,同时能够改善器件性能。

附图说明

[0012] 图 1a- 图 1f 是本发明的一种形成双应力层氮化硅薄膜的方法的工艺步骤分解状态示意图。

[0013] 图 2 是本发明的一种形成双应力层氮化硅薄膜的方法流程示意图。

具体实施方式

[0014] 下面结合原理图和具体操作实施例对本发明作进一步说明。

[0015] 本发明的一种形成双应力层氮化硅薄膜的方法,如图 2 所示,具体包括以下步骤:

S1:提供一种具有 NMOS 晶体管 11 和 PMOS 晶体管 12 的半导体衬底 1,完成效果如图 1a 所示;

S2:在半导体衬底 1 上沉积一层第一氮化硅层 2,完成效果如图 1b 所示;

S3:在第一氮化硅层 2 的表面沉积一层第二氮化硅层 3,完成效果如图 1c 所示,其中,该第二氮化硅层 3 为掺杂有杂质元素的氮化硅层,该第一氮化硅层 2 和第二氮化硅层 3 组成高拉应力的氮化硅薄膜 4,完成效果如图 1c 所示。

[0016] 实施中,第二氮化硅层 3 可以是掺杂有 F 元素、B 元素或 P 元素的氮化硅层。该第二氮化硅层 3 的厚度 10-100 Å。

[0017] 另外,由第一氮化硅层 2 和第二氮化层 3 形成的高拉应力的氮化硅薄膜 4 的厚度为 100-800 Å,其拉应力范围为 500-2000MPa。

[0018] S4:在半导体衬底 1 的表面涂覆一层光刻胶 5,蚀刻 PMOS 晶体管 12 表面,去除 PMOS 管 12 表面的第一氮化硅层 2 和第二氮化硅层 3,完成后效果如图 1d 所示;

S5:参看图 1e 所示,去除残留在 NMOS 晶体管表面的光刻胶 5,并对所述半导体衬底 1 进行快速热退火处理工艺 6。在该步骤中,通过热退火处理工艺,在 NMOS 晶体管 2 中产生拉应力记忆效果,提高了电子迁移率。

[0019] S6: 在 NMOS 晶体管 12 表面进行刻蚀工艺,去除 NMOS 晶体管 12 表面的第一氮化硅层 2 和第二氮化硅层 3,形成如图 1f 所示的结构。

[0020] 以上对本发明的具体实施例进行了详细描述,但本发明并不限于以上描述的具体实施例,其只是作为范例。对于本领域技术人员而言,任何等同修改和替代也都在本发明的范畴之中。因此,在不脱离本发明的精神和范围下所作出的均等变换和修改,都应涵盖在本发明的范围内。

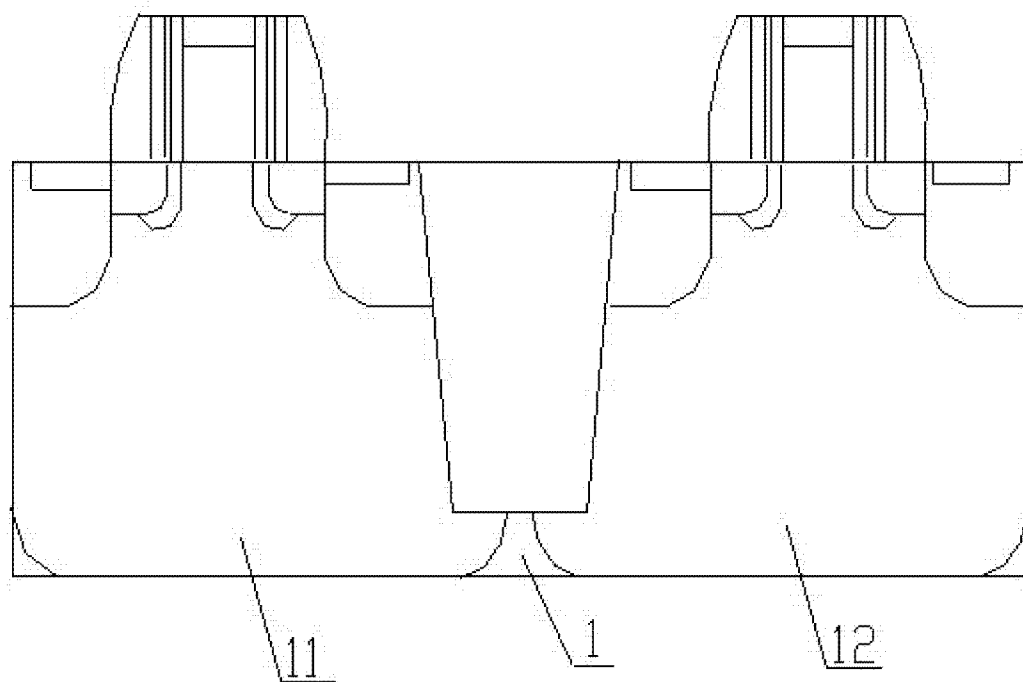


图 1a

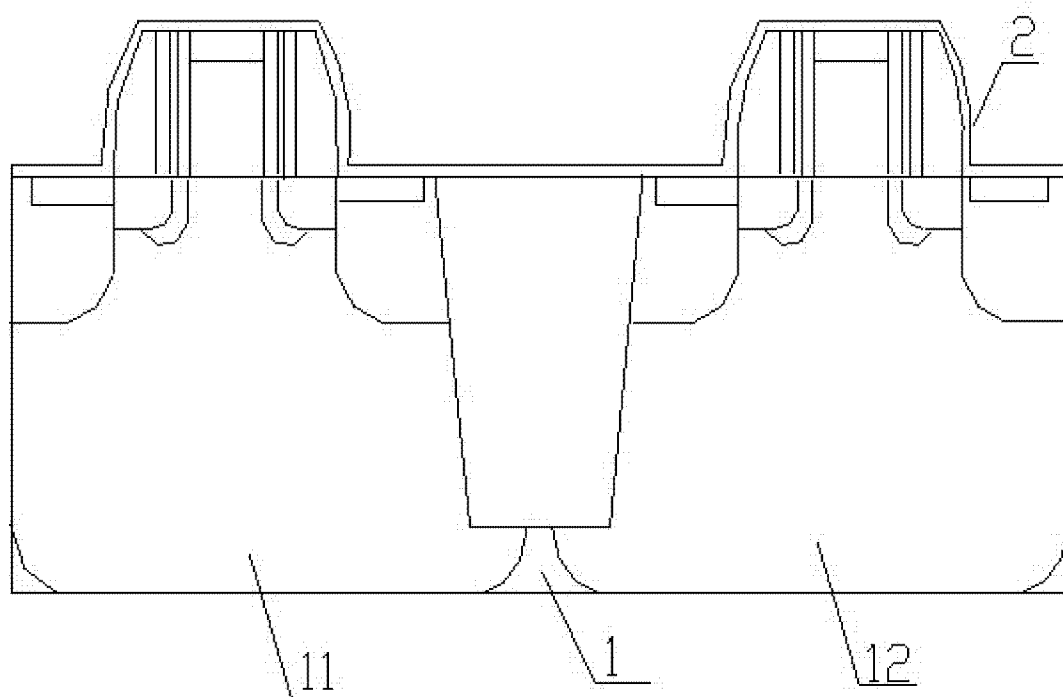


图 1b

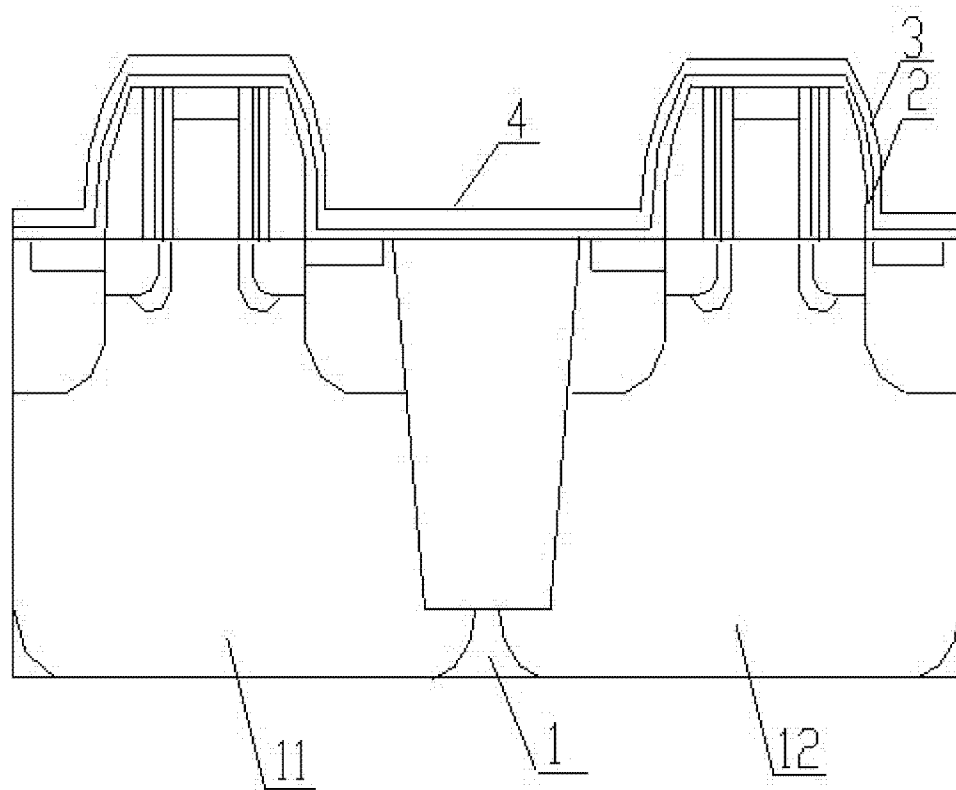


图 1c

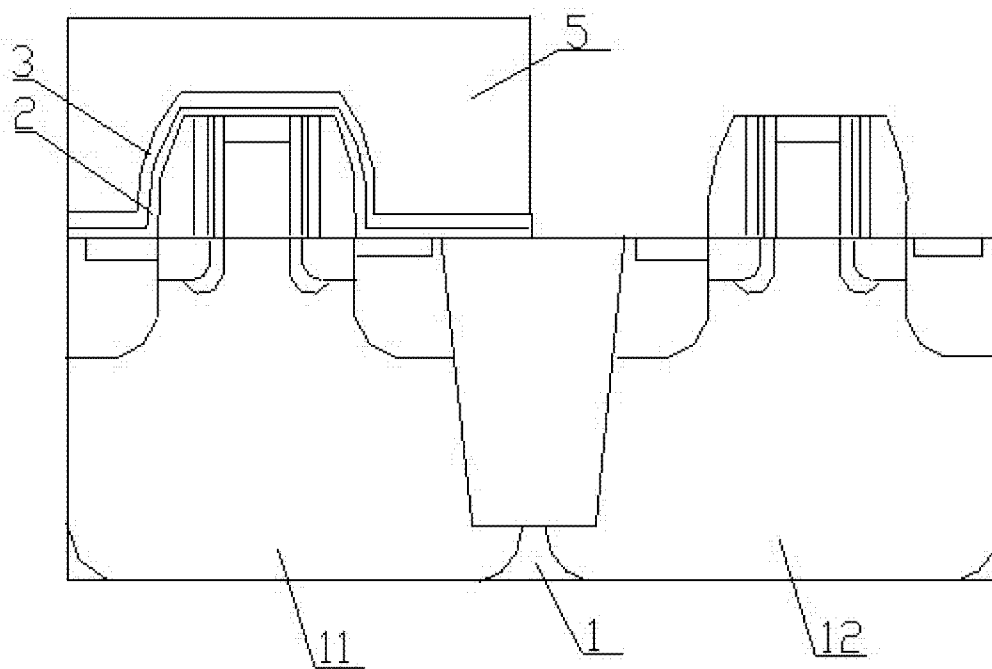


图 1d

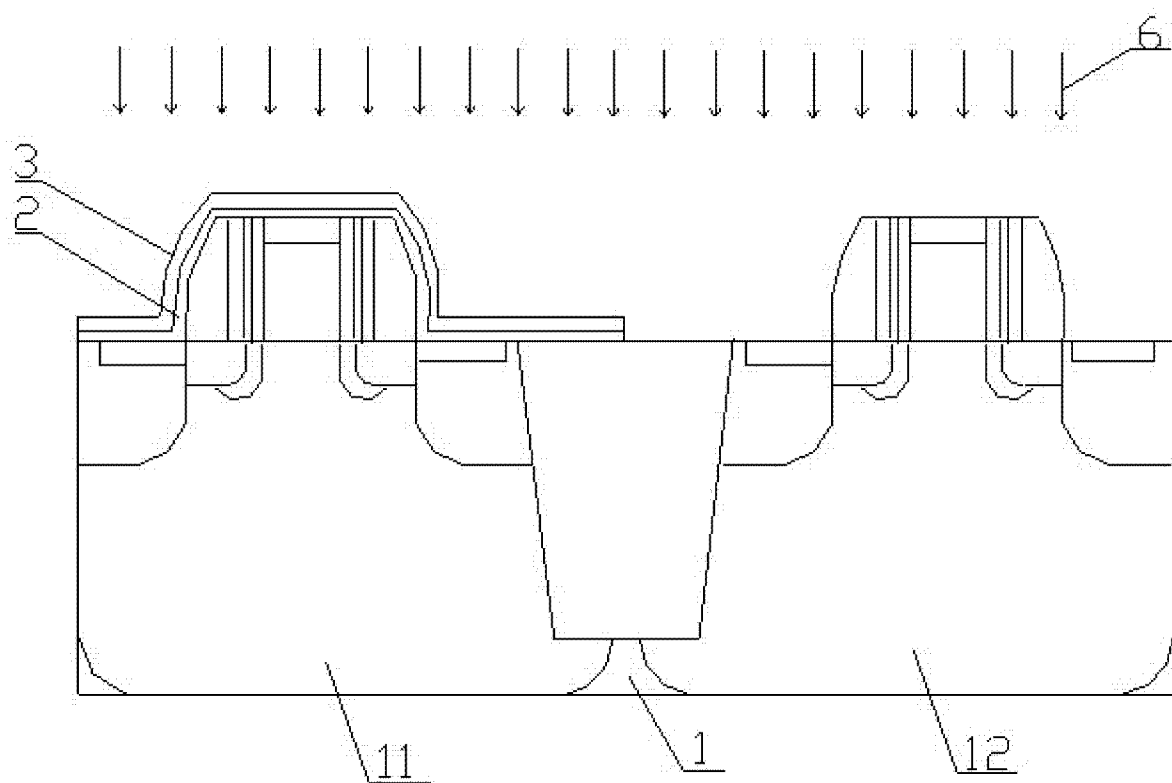


图 1e

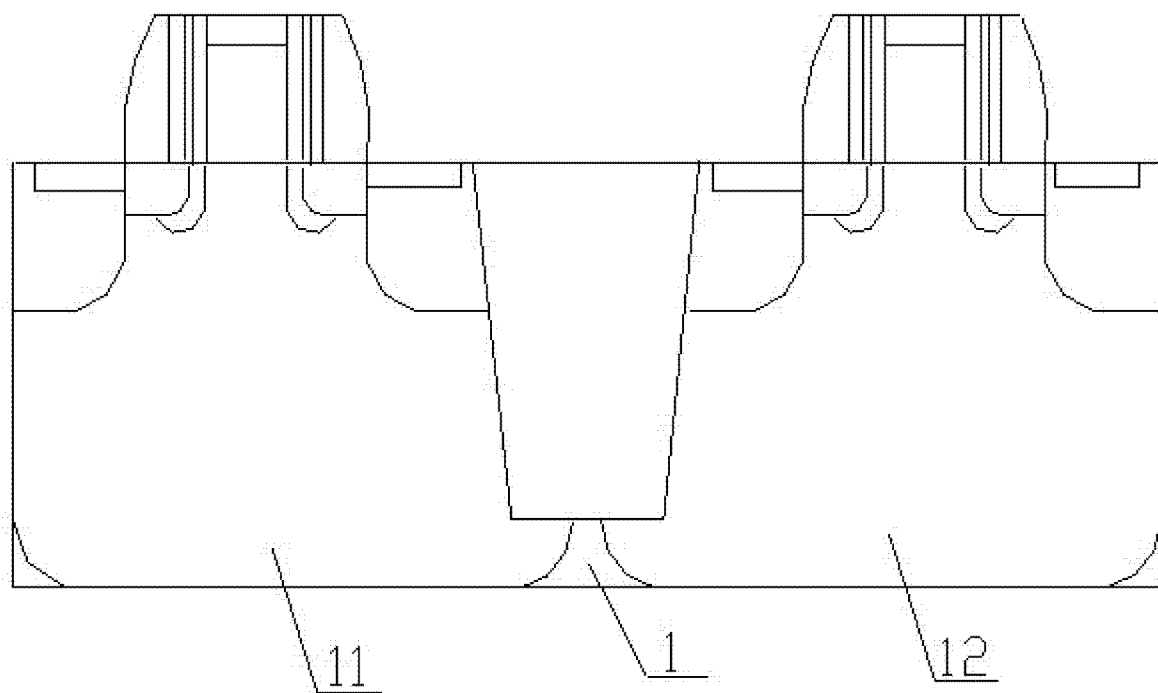


图 1f

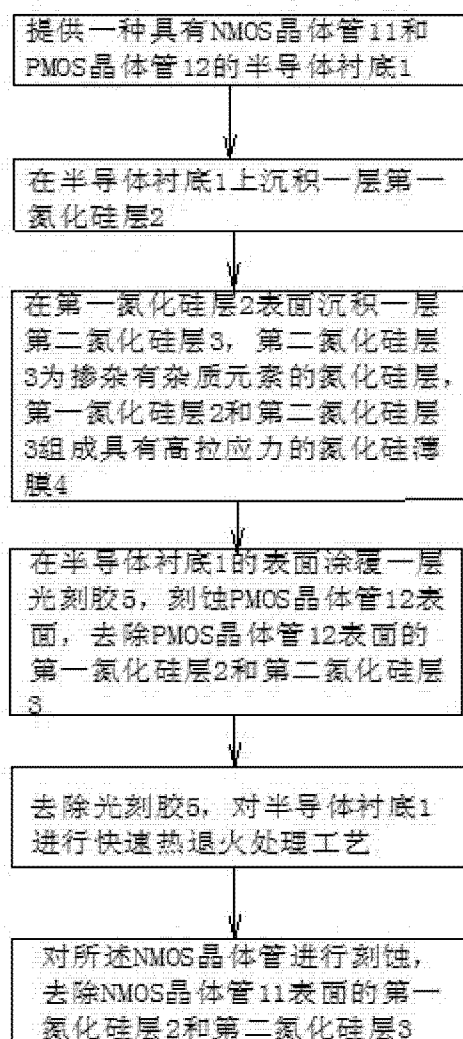


图 2